

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-164520

(P2002-164520A)

(43) 公開日 平成14年6月7日(2002.6.7)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード(参考)

H 0 1 L 27/12

H 0 1 L 27/12

B

21/02

21/02

B

審査請求 未請求 請求項の数6 O L (全 6 頁)

(21) 出願番号 特願2000-358783(P2000-358783)

(22) 出願日 平成12年11月27日(2000.11.27)

(71) 出願人 000190149

信越半導体株式会社

東京都千代田区丸の内1丁目4番2号

(72) 発明者 曲 偉峰

群馬県安中市磯部2丁目13番1号 信越半  
導体株式会社半導体磯部研究所内

(72) 発明者 木村 雅規

群馬県安中市磯部2丁目13番1号 信越半  
導体株式会社半導体磯部研究所内

(74) 代理人 100080230

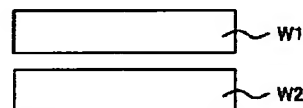
弁理士 石原 詔二

(54) 【発明の名称】 半導体ウェーハの製造方法

(57) 【要約】

【課題】 比較的単純な積層構造にもかかわらず、電子の移動度を高めるのに十分な格子歪みを有し、かつ、結晶欠陥の少ないSi層を有する半導体ウェーハを簡便な製造プロセスにより製造することのできる半導体ウェーハの製造方法を提供する。

【解決手段】 第1のシリコン単結晶ウェーハの表面にSiGe層をエピタキシャル成長する工程と、該SiGe層の表面と第2のウェーハの表面とを酸化膜を介して結合する工程と、該第2のウェーハと結合された該第1のシリコン単結晶ウェーハを薄膜化して格子歪みを内在するSi層を露出させる工程と、を有するようにした。

(a) 第1及び第2  
Siウェーハ用意(b) 第1Siウェーハの  
表面にSiGe層成長

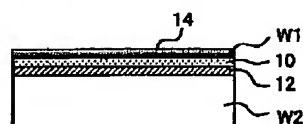
(c) SiGe層表面酸化



(d) 第2Siウェーハと結合



(e) 第1Siウェーハの薄膜化



## 【特許請求の範囲】

【請求項1】 第1のシリコン単結晶ウェーハの表面にSiGe層をエピタキシャル成長する工程と、該SiGe層の表面と第2のウェーハの表面とを酸化膜を介して結合する工程と、該第2のウェーハと結合された該第1のシリコン単結晶ウェーハを薄膜化して格子歪みを内在するSi層を露出させる工程と、を有することを特徴とする半導体ウェーハの製造方法。

【請求項2】 第1のシリコン単結晶ウェーハの表面にSiGe層をエピタキシャル成長する工程と、該SiGe層の表面、または第2のウェーハの表面の少なくとも一方に酸化膜を形成する工程と、該SiGe層を通して第1のシリコン単結晶ウェーハに水素イオンまたは希ガスイオンの少なくとも一方を注入して微小気泡層を形成する工程と、該酸化膜を介して該第1のシリコン単結晶ウェーハと第2のウェーハとを結合した後、該微小気泡層で該第1のシリコン単結晶ウェーハを剥離する工程と、を有することを特徴とする半導体ウェーハの製造方法。

【請求項3】 前記剥離する工程により剥離され前記第2のウェーハに移動した前記第1シリコン単結晶ウェーハ薄膜の剥離面を、研磨または熱処理あるいはこれらを組み合わせて平坦化する工程を有することを特徴とする請求項2に記載された半導体ウェーハの製造方法。

【請求項4】 前記微小気泡層を、前記第1のシリコン単結晶ウェーハの格子歪みを有する領域に形成することを特徴する請求項2または請求項3に記載された半導体ウェーハの製造方法。

【請求項5】 前記酸化膜を前記SiGe層の表面に熱酸化により形成することを特徴とする請求項1から請求項4のいずれか1項に記載された半導体ウェーハの製造方法。

【請求項6】 前記第2のウェーハとして、シリコン単結晶ウェーハを用いることを特徴とする請求項1から請求項5のいずれか1項に記載された半導体ウェーハの製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、格子歪みを内在するシリコン層を有する半導体ウェーハの製造方法に関する。

## 【0002】

【関連技術】シリコン単結晶を用いた半導体デバイスの性能を向上させるための一手法として、シリコン単結晶中の電子の移動度を高めることが有効である。そこで、通常の格子定数（約5.43オングストローム）を有するシリコン単結晶に引張り歪みを内在させた歪みシリコン層（以下、歪みSi層と称する。）を、例えばnチャネルMOSトランジスタの活性層に用いることによりキャリアの移動度を向上させ、高速動作を可能にするデバ

イスなどが検討されている。

【0003】このような歪みSi層を有する半導体ウェーハの製造方法は、例えば、特開平9-180999号公報や特開平11-233440号公報に記載されている。これらの技術はいずれもSiよりも格子定数の大きなSiGe層上にSi層をエピタキシャル成長させることにより歪みSi層を形成するものであり、十分に格子緩和されたSiGe層を用いてSi層に歪みを発生させること、および、SiGe層中に転位を発生させないようにして歪みSi層の成長時に転位を伝播させないこと、という2つの課題を解決するものであった。

## 【0004】

【発明が解決しようとする課題】しかしながら、前記2つの方法は、少なくとも2回の薄膜成長プロセス（エピタキシャル成長やスパッタ法など）を伴うものであり、必ずしも簡便な方法とは言えなかった。これについて下記に詳述する。

【0005】まず、特開平9-180999号公報に記載された半導体ウェーハは、ウェーハ表面から順に、歪みSi層/SiGe層/Ge層/Si層/SiO<sub>2</sub>層/Si基板という構造を有するものであり、その製造プロセスは、図3に示す様に、SOIウェーハの作製（ステップ100）→Si層エピタキシャル層（ステップ102）→Ge層成長（ステップ104）→SiGe層成長（ステップ106）→格子緩和熱処理（ステップ108）→歪みSi層成長（ステップ110）であり、4回ものエピタキシャル成長を伴うものであった。

【0006】また、特開平11-233440号公報に記載された半導体ウェーハは、ウェーハ表面から順に、歪みSi層/CaF<sub>2</sub>層/(SiGe層)/Si基板という構造を有するものであり、その製造プロセスは、図4に示す様に、Siウェーハ用意（ステップ200）→CaF<sub>2</sub>層のスパッタ法による堆積（ステップ202）→(SiGe層成長)（ステップ204）→歪みSi層成長（ステップ206）であり、こちらの場合も、少なくとも2回の薄膜成長を伴うものであり、また、CaF<sub>2</sub>といった特殊な層を形成するものであった。

【0007】このように、従来の方法では多くのプロセスを伴った複雑な積層構造から構成されるものであったため、その製造コストが高く汎用性に欠けていた。

【0008】本発明は、このような問題点を解決するためになされたものであり、比較的単純な積層構造にもかかわらず、電子の移動度を高めるのに十分な格子歪みを有し、かつ、結晶欠陥の少ないSi層を有する半導体ウェーハを簡便な製造プロセスにより製造することのできる半導体ウェーハの製造方法を提供することを目的とする。

## 【0009】

【課題を解決するための手段】上記目的を達成するため、本発明の半導体ウェーハの製造方法の第1の態様

は、第1のシリコン単結晶ウェーハの表面にSiGe層をエピタキシャル成長する工程と、該SiGe層の表面と第2のウェーハの表面とを酸化膜を介して結合する工程と、該第2のウェーハと結合された該第1のシリコン単結晶ウェーハを薄膜化して格子歪みを内在するSi層を露出させる工程と、を有することを特徴とする。

【0010】本発明の半導体ウェーハの製造方法の第2の態様は、第1のシリコン単結晶ウェーハの表面にSiGe層をエピタキシャル成長する工程と、該SiGe層の表面または第2のウェーハの表面の少なくとも一方に酸化膜を形成する工程と、該SiGe層を通して第1のシリコン単結晶ウェーハに水素イオンまたは希ガスイオンの少なくとも一方を注入して微小気泡層を形成する工程と、該前記酸化膜を介して該第1のシリコン単結晶ウェーハと第2のウェーハとを結合した後、該微小気泡層で該第1のシリコン単結晶ウェーハを剥離する工程と、を有することを特徴とする。

【0011】上記第2の態様において、上記剥離する工程により剥離され上記第2のウェーハに移動した上記第1シリコン単結晶ウェーハ薄膜の剥離面を、研磨または熱処理、あるいはこれらを組み合わせて平坦化する工程をさらに設けるのが好ましい。上記微小気泡層は、第1のシリコン単結晶ウェーハの格子歪みを有する領域に形成することができる。

【0012】上記第1及び第2の態様において、上記酸化膜は上記SiGe層の表面に熱酸化により形成されるのが好ましい。上記第2のウェーハとしては、シリコン単結晶ウェーハを用いることが好ましい。

【0013】

【発明の実施の形態】以下に本発明の実施の形態を添付図面を用いて説明するが、本発明の技術思想から逸脱しない限り図示例以外にも種々の変形が可能なことはいまでもない。

【0014】（第1の実施の形態）図1に本発明の第1の実施の形態である半導体ウェーハの製造フローを示した。図1に示された製造フローは、基本的には2枚のシリコンウェーハを用いて貼り合わせ法によりSOIウェーハを製造する際の通常の製造フローに、SiGe層を成長する工程（b）を加えただけのものである。

【0015】まず、最終的に歪みSi層の材料となる第1及び第2のSiウェーハW1、W2を用意する〔図1（a）〕。このSiウェーハW1は、単結晶シリコンであれば特に限定はされず、CZ法やFZ法で作製されたSiウェーハを用いることができる。ただし、デバイスを形成する歪みSi層の品質を高めるため、少なくとも用いるウェーハの表面近傍には結晶欠陥が少ないものを用いることが好ましい。具体的には、熱処理によりウェーハ表面近傍にDZ層を形成したウェーハや、CZ法の引き上げ条件を調整することにより、単結晶中のいわゆるGrown-in欠陥を低減（あるいは消滅）させたウェーハ

や、FZウェーハなどが好適である。

【0016】次に、前記第1のSiウェーハW1の表面にSiGe層10をエピタキシャル成長により形成する〔図1（b）〕。SiGe層10の形成には、例えば分子線エピタキシャル成長装置や超高真空化学気相成長（UHV-CVD）装置などを用いることができる。

【0017】形成するSiGe層10のGe組成は10～40％程度が好ましい。10％未満では十分な引張り歪みを有する歪みSi層が形成されず、40％を超えるとSiウェーハW1とSiGe層10の格子定数の差異によりSiGe層10にミスフィット転位が発生しやすくなるため、最終的に形成される歪みSi層の結晶性に悪影響を及ぼす。また、SiGe層10の厚さは10nm～1μm程度が好ましい。10nm未満では十分な引張り歪みを有する歪みSi層が形成されず、1μmを超えると寄生容量の増加等により歪みSi層に形成されるデバイス特性が悪化する。尚、上記の工程により第1のSiウェーハW1上に格子定数の異なるSiGe層10が形成されても、第1のSiウェーハW1の厚み効果により、第1のSiウェーハW1側に転位が発生することはない。

【0018】次に、SiGe層10の表面に酸化膜12を形成する〔図1（c）〕。酸化膜の形成は通常の熱酸化法を用いてもよいし、CVD法により堆積してもよい。熱酸化法を用いると、SiGe層10表面には化学的に安定なSiO<sub>2</sub>層12が形成され、余分なGe原子がSiGe層10にはじき出されSiGe層10中のGe濃度が高くなる。従って、ミスフィット転位の発生を抑制する目的でエピタキシャル成長する際のGe組成を比較的低くした場合であっても、SiGe層10表面を熱酸化することにより最終的に形成される歪みSi層の引張り歪みを高めることができる。また、十分な引張り歪みを得るために、熱酸化と酸化膜除去を繰り返し行ってもよい。

【0019】次に、SiGe層10表面に形成した酸化膜12と第2のSiウェーハW2の表面を密着させ、後の薄膜化工程に耐え得る結合強度になるように熱処理を行う〔結合熱処理、図1（d）〕。熱処理条件は、後の薄膜化工程に耐え得る条件であれば特に限定されないが、薄膜化を研削、研磨により行う場合には、800～1200℃で0.5～5時間程度行うことが好ましい。

【0020】最後に第1のSiウェーハW1を薄膜化して歪みSi層14を露出させる〔図1（e）〕。歪みSi層14の厚さは、1～100nm程度が好ましい。100nmを超えるとSiGe層10による引っ張り歪みが内在しなくなる恐れがあり、1nm未満では良好なデバイス特性が得られない上、加工も困難である。

【0021】Si層14の薄膜化手法としては、研削、研磨のほか、酸やアルカリ水溶液を用いたウェットエッチング、プラズマを利用した気相エッチング、ラッピン

グ、あるいは、スライスにより2分割にした後、研磨する手法などを挙げることができる。これらの薄膜化手法によっては、薄膜化の前に行う結合熱処理を省略したり、接着剤等を使用して結合することもできる。

【0022】(第2の実施の形態)図2に本発明の第2の実施形態である半導体ウェーハの製造フローを示した。図2に示された製造フローは、基本的には2枚のシリコンウェーハを用いて、イオン注入剥離法(水素イオン剥離法、スマートカット法(登録商標)とも呼ばれる。)によりSOIウェーハを製造する際の製造フローに、SiGe層を成長する工程(b)を加えただけのものである。尚、図2におけるSiGe層の表面を酸化する工程まで〔図2(a)~図2(c)〕は、図1(a)~図1(c)と同一工程であるので再度の説明は省略する。

【0023】SiGe層10の表面に形成された酸化膜12の表面側から、酸化膜12およびSiGe層10を通して水素イオンまたは希ガスイオンの少なくとも一方(図2(d)では水素イオン16)を注入することにより、第1のSiウェーハW1中に微小気泡層18を形成する〔図2(d)〕。

【0024】微小気泡層18が形成される位置(深さ)は水素イオン16の注入エネルギーにより決まり、その微小気泡層18を境界として後の剥離熱処理により剥離を発生させるためには、 $1 \times 10^{15} / \text{cm}^2$ を超える注入線量(例えば $5 \times 10^{15} / \text{cm}^2$ )が必要とされる。剥離して形成される多層構造のウェーハの最表面のSi層表面が確実に格子歪み(引っ張り歪み)を有する様にするためには、前記微小気泡層18を第1のSiウェーハW1の格子歪みを有する領域(第1のSiウェーハW1の表面から100nm以下の領域)に形成することが好ましい。

【0025】次に、SiGe層10表面に形成した酸化膜12と第2のSiウェーハW2の表面を密着させ〔図2(e)〕、500℃以上の熱処理(剥離熱処理)を加えることにより、前記微小気泡層18で剥離を生じさせる〔図2(f)〕。その後、必要に応じてさらに高温での結合熱処理を行うことにより結合強度を高めてもよい。また、最近では、イオン注入剥離法の一つではあるが、注入される水素イオンを励起してプラズマ状態で注入することにより剥離熱処理を行うことなく、室温で剥離を行う方法も開発されているので、この方法を用いる場合には剥離熱処理を省略することができる。

【0026】剥離後の歪みSi層14の表面は鏡面ではあるが若干の面粗さを有しているので、タッチポリッシュと呼ばれる研磨代の極めて少ない研磨を行い平坦化する〔図2(g)〕。タッチポリッシュの代わりに、アルゴンガスや水素ガス雰囲気中で熱処理することにより平坦化する手法や、これらを組み合わせて平坦化することも可能である。

【0027】熱処理条件としては、通常の抵抗加熱式熱処理炉を用いる場合には、1100~1300℃、0.5~5時間程度の熱処理が好適であり、RTA(Rapid Thermal Annealing)装置を用いる場合には、1100~1350℃、1~120秒程度の熱処理が好適である。また、これらを組み合わせて熱処理を行うこともできる。

【0028】尚、図1および図2に示した実施の形態では第1のSiウェーハW1のSiGe層10の表面に酸化膜12を形成する場合を例示したが、第2のSiウェーハW2に酸化膜を形成してもよいし、第1及び第2のSiウェーハ双方に酸化膜を形成してもよい。また、第2のSiウェーハW2として、抵抗率が1000Ωcm以上の高抵抗率ウェーハを用いることにより、高周波特性に優れ、移動体通信用の半導体ウェーハとして用いることができる。さらに第2のウェーハW2としては、石英基板、サファイア基板、SiC、窒化アルミニウム基板等の絶縁性基板を用いることもできる。

【0029】

【実施例】以下に実施例をあげて本発明をさらに具体的に説明するが、これらの実施例は限定的に解釈すべきでないことは勿論である。

【0030】(実施例1:第1の実施の形態に対応)図1に示した第1の実施の形態の手順に従って下記条件で十分な格子歪みを有する半導体ウェーハを製造した。

【0031】1. 使用ウェーハ(第1および第2ウェーハの用意)〔図1(a)〕

直径200mm、p型、結晶方位<100>、10Ωcm

【0032】2. 第1ウェーハの表面にSiGe層成長(UHV-CVD装置)〔図1(b)〕

原料ガス: GeH<sub>4</sub>、Si<sub>2</sub>H<sub>6</sub>

成長温度: 700℃

SiGe組成: Si<sub>0.7</sub>Ge<sub>0.3</sub>

成長層厚: 150nm

【0033】3. SiGe表面酸化〔図1(c)〕

酸化条件: 800℃、パイロジェニック酸化

酸化膜厚: 100nm

【0034】4. 結合工程〔図1(d)〕

両ウェーハを室温で密着させ1000℃、2時間の熱処理(酸化性雰囲気)

【0035】5. 薄膜化〔図1(e)〕

平面研削: 第1Siウェーハ厚が約20μmになるまで研削。

鏡面研磨: 第1Siウェーハ厚が約4μmになるまで研磨。

PACE(Plasma Assisted Chemical Etching)法による気相エッチングにより第1Siウェーハ厚が約100nmになるまで薄膜化(PACE法は第2565617号特許に記載された技術)。

【0036】（実施例2：第2の実施の形態に対応）図2に示した第2の実施の形態の手順に従って下記条件で十分な格子歪みを有する半導体ウェーハを製造した。

【0037】1. 使用ウェーハ（第1および第2ウェーハの用意）〔図2（a）〕

直径200mm、p型、結晶方位<100>、 $10\Omega\text{cm}$

【0038】2. 第1ウェーハの表面にSiGe層成長（UHV-CVD装置）〔図2（b）〕

原料ガス： $\text{GeH}_4$ 、 $\text{Si}_2\text{H}_6$

成長温度：700℃

SiGe組成： $\text{Si}_{0.95}\text{Ge}_{0.05}$

成長層厚：120nm

【0039】3. SiGe表面酸化〔図2（c）〕

酸化条件：800℃、パイロジェニック酸化

酸化膜厚：100nm

【0040】4. 水素イオン注入〔図2（d）〕

$\text{H}^+$ イオン注入条件：35keV、 $8 \times 10^{16}/\text{cm}^2$

【0041】5. 剥離工程〔図2（e）及び（f）〕

両ウェーハを室温で密着させ、500℃、30分の熱処理（窒素雰囲気）により剥離。剥離後の多層ウェーハの最表面Si層の厚さ約130nm。

【0042】6. 結合熱処理

\*

\* 800℃、2時間、窒素雰囲気

【0043】7. タッチポリッシュ〔図2（g）〕

研磨代約30nm

【0044】

【発明の効果】以上述べたごとく、本発明によれば、比較的単純な積層構造にもかかわらず、電子の移動度を高めるのに十分な格子歪みを有し、かつ、結晶欠陥の少ないSi層を有する半導体ウェーハを簡便な製造プロセスにより製造することができるという効果が達成される。

10 【図面の簡単な説明】

【図1】本発明方法の第1の実施形態を示すフローチャートである。

【図2】本発明方法の第2の実施形態を示すフローチャートである。

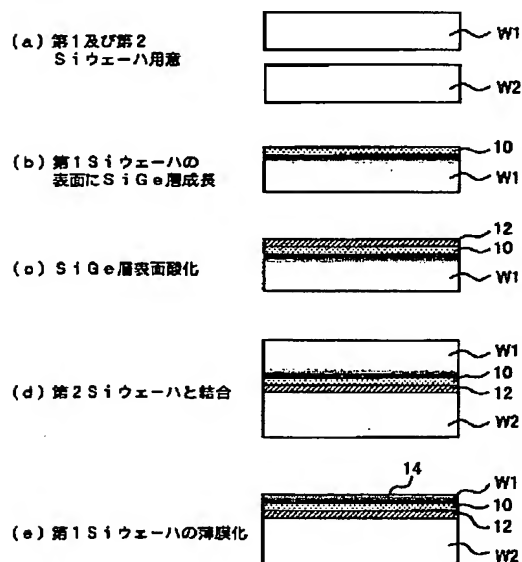
【図3】従来の半導体ウェーハの製造方法の一例を示すフローチャートである。

【図4】従来の半導体ウェーハの製造方法の他の例を示すフローチャートである。

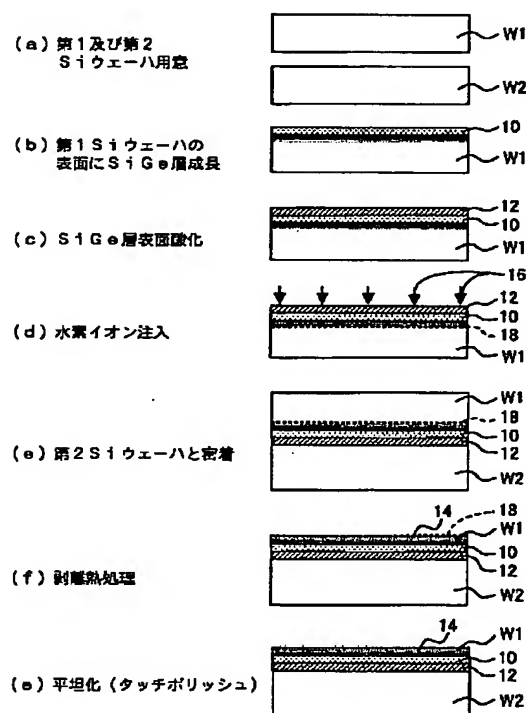
【符号の説明】

10：SiGe層、12：酸化膜、14：歪みSi層、16：水素イオン、18：微小気泡層、W1、W2：Siウェーハ。

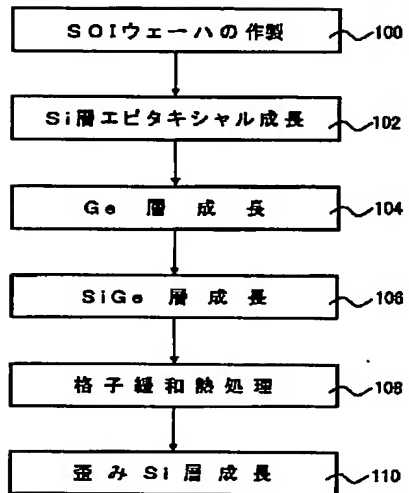
【図1】



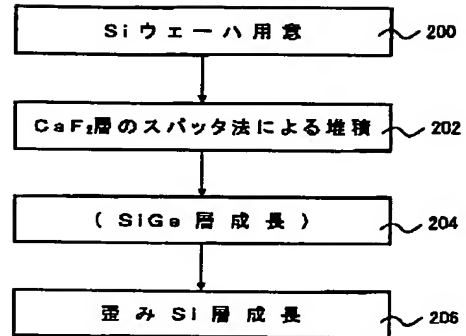
【図2】



【図3】



【図4】



# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-164520

(43)Date of publication of application : 07.06.2002

(51)Int.Cl.

H01L 27/12

H01L 21/02

(21)Application number : 2000-358783 (71)Applicant : SHIN ETSU HANDOTAI CO LTD

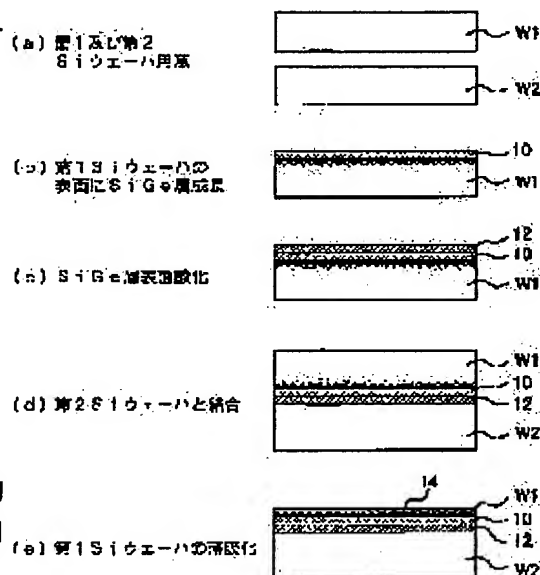
(22)Date of filing : 27.11.2000 (72)Inventor : MAGARI TAKEMINE  
KIMURA MASAKI

## (54) METHOD FOR MANUFACTURING SEMICONDUCTOR WAFER

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a method for manufacturing a semiconductor wafer which can manufacture a semiconductor wafer by a simple manufacturing process which wafer has lattice strain sufficient to improve mobility of electrons in spite of comparatively simple lamination structure and is provided with an Si layer having little crystal defect.

**SOLUTION:** This method for manufacturing a semiconductor wafer is provided with a process for growing epitaxially an SiGe layer on a surface of a first silicon single crystal wafer, a process for coupling a surface of the SiGe layer with a surface of a second wafer via an oxide film, and a process for thinning the first silicon single crystal wafer coupled with the second wafer and exposing the Si layer including lattice strain.



## LEGAL STATUS

[Date of request for examination] 06.11.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] it was combined with the process which combines with the front face of the 1st silicon single crystal wafer the process which grows a SiGe layer epitaxially, and the front face of this SiGe layer and the front face of the 2nd wafer through an oxide film, and this 2nd wafer -- this -- the manufacture approach of the semiconductor wafer characterized by having the process at which Si layer which thin-film-izes the 1st silicon single crystal wafer, and is inherent in grid distortion is exposed.

[Claim 2] The process which grows a SiGe layer epitaxially on the front face of the 1st silicon single crystal wafer, The process which forms an oxide film in at least the front face of this SiGe layer, or the front face of the 2nd wafer either, The process which pours at least a hydrogen ion or rare gas ion either into the 1st silicon single crystal wafer through this SiGe layer, and forms a minute air-bubbles layer, this oxide film -- minding -- this -- the minute this air-bubbles layer after combining the 1st silicon single crystal wafer and 2nd wafer -- this -- the manufacture approach of the semiconductor wafer characterized by having the process which exfoliates the 1st silicon single crystal wafer.

[Claim 3] The manufacture approach of the semiconductor wafer indicated by claim 2 characterized by having the process which carries out flattening of the surface of separation of said 1st silicon single crystal wafer thin film which exfoliated according to said exfoliating process and moved to said 2nd wafer combining polish, heat treatment, or these.

[Claim 4] The manufacture approach of the semiconductor wafer indicated by claim 2 or claim 3 which carries out the description of forming said minute air-bubbles layer in the field which has the grid distortion of said 1st silicon single crystal wafer.

[Claim 5] The manufacture approach of the semiconductor wafer indicated by any 1 term of claim 1 to claim 4 characterized by forming said oxide film in the front face of said SiGe layer by thermal oxidation.

[Claim 6] The manufacture approach of the semiconductor wafer indicated by any 1 term of claim 1 to claim 5 characterized by using a silicon single crystal wafer as said 2nd wafer.

---

[Translation done.]

**\* NOTICES \***

**JPO and NCIPi are not responsible for any damages caused by the use of this translation.**

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the manufacture approach of a semiconductor wafer of having the silicon layer which is inherent in grid distortion.

[0002]

[Related Art] As a way method for raising the engine performance of the semiconductor device using a silicon single crystal, it is effective to raise the mobility of the electron in a silicon single crystal. Then, by using for the barrier layer of for example, an n channel MOS transistor the distortion silicon layer (a distortion Si layer being called hereafter.) which made tension distortion inherent in the silicon single crystal which has the usual lattice constant (about 5.43Å), the mobility of a carrier is raised and the device which makes high-speed operation possible is examined.

[0003] The manufacture approach of a semiconductor wafer of having such a distortion Si layer is indicated by JP,9-180999,A and JP,11-233440,A. Each of these techniques is what forms a distortion Si layer by carrying out epitaxial growth of the Si layer on a SiGe layer with a bigger lattice constant than Si. It was what solves two technical problems of making Si layer generate distortion using the SiGe layer by which grid relaxation was fully carried out, and not making a rearrangement spread at the time of growth of a distortion Si layer as a rearrangement is not generated in a SiGe layer.

[0004]

[Problem(s) to be Solved by the Invention] However, said two approaches were not necessarily able to be said to be a simple approach with at least 2 times of thin film growth processes (epitaxial growth, spatter, etc.). This is explained in full detail below.

[0005] First, the semiconductor wafer indicated by JP,9-180999,A It is what has the structure of a distortion Si layer / SiGe layer / germanium layer / Si layer / SiO two-layer / Si substrate in order from a wafer front face. The manufacture process As shown in drawing 3 , it is production (step 100) ->Si layer epitaxial layer (step 102) ->germanium layer growth (step 104) ->SiGe layer growth (step 106) -> grid relaxation heat treatment (step 108) -> distortion Si layer growth (step 110) of a SOI wafer. It was a thing accompanied by no less than 4 times of epitaxial growth.

[0006] Moreover, the semiconductor wafer indicated by JP,11-233440,A It is what has the structure of distortion Si layer / CaF two-layer/(SiGe layer) / Si substrate in order from a wafer front face. The manufacture process As shown in drawing 4 , it is deposition (step 202) ->(SiGe layer growth) (step 204) -> distortion Si layer growth (step 206) by the Si wafer preparation (step 200) ->CaF two-layer spatter. The case here was also what forms a special layer called CaF<sub>2</sub> with at least two thin film growth.

[0007] Thus, by the conventional approach, since it was what consists of complicated laminated structures accompanied by many processes, the manufacturing cost lacked in versatility highly.

[0008] This invention aims at offering the manufacture approach of a semiconductor wafer that the semiconductor wafer which is made in order to solve such a trouble, has sufficient grid distortion to raise electronic mobility in spite of a comparatively simple laminated structure, and has Si layer with few crystal defects can be manufactured according to a simple manufacture process.

[0009]

[Means for Solving the Problem] In order to attain the above-mentioned object, the 1st mode of the manufacture approach of the semiconductor wafer of this invention The process which grows a SiGe

layer epitaxially on the front face of the 1st silicon single crystal wafer, it was combined with the process which combines the front face of this SiGe layer, and the front face of the 2nd wafer through an oxide film, and this 2nd wafer -- this -- it is characterized by having the process at which Si layer which thin-film-izes the 1st silicon single crystal wafer, and is inherent in grid distortion is exposed. [0010] The 2nd mode of the manufacture approach of the semiconductor wafer of this invention The process which grows a SiGe layer epitaxially on the front face of the 1st silicon single crystal wafer, The process which forms an oxide film in either [ at least ] the front face of this SiGe layer, or the front face of the 2nd wafer, The process which pours at least a hydrogen ion or rare gas ion either into the 1st silicon single crystal wafer through this SiGe layer, and forms a minute air-bubbles layer, this aforementioned oxide film -- minding -- this -- the minute this air-bubbles layer after combining the 1st silicon single crystal wafer and 2nd wafer -- this -- it is characterized by having the process which exfoliates the 1st silicon single crystal wafer.

[0011] In the 2nd mode of the above, it is desirable to establish further the process which carries out flattening of the surface of separation of the above-mentioned 1st silicon single crystal wafer thin film which exfoliated according to the above-mentioned process which carries out exfoliation, and moved to the 2nd wafer of the above combining polish, heat treatment, or these. The above-mentioned minute air-bubbles layer can be formed in the field which has the grid distortion of the 1st silicon single crystal wafer.

[0012] As for the above-mentioned oxide film, in the 1st and 2nd modes of the above, it is desirable to be formed in the front face of the above-mentioned SiGe layer of thermal oxidation. As the 2nd wafer of the above, it is desirable to use a silicon single crystal wafer.

[0013]

[Embodiment of the Invention] Although the gestalt of operation of this invention is explained using an accompanying drawing below, unless it deviates from the technical thought of this invention, it cannot be overemphasized that various deformation is possible besides the example of a graphic display.

[0014] (Gestalt of the 1st operation) The manufacture flow of the semiconductor wafer which is the gestalt of operation of the 1st of this invention was shown in drawing 1 . The manufacture flow shown in drawing 1 is only what added the process (b) which grows a SiGe layer to the usual manufacture flow at the time of manufacturing a SOI wafer by the lamination method using two silicon wafers fundamentally.

[0015] First, the 1st and 2nd Si wafers W1 and W2 which serve as an ingredient of a distortion Si layer eventually are prepared [ drawing 1 (a) ]. If this Si wafer W1 is single crystal silicon, especially definition is not carried out but Si wafer produced by the CZ process or the FZ method can be used for it. However, in order to raise the quality of the distortion Si layer which forms a device, it is desirable to use what has a few crystal defect near the front face of the wafer used at least. Specifically, the wafer which formed DZ layer near the wafer front face by heat treatment, the wafer which reduced the so-called Grown-in defect in a single crystal by adjusting the raising conditions of a CZ process (or dissipation), FZ wafer, etc. are suitable.

[0016] Next, the SiGe layer 10 is formed in the front face of said 1st Si wafer W1 with epitaxial growth [ drawing 1 (b) ]. For example, a molecular-beam epitaxial growth system, ultra-high-vacuum chemical-vapor-deposition (UHV-CVD) equipment, etc. can be used for formation of the SiGe layer 10.

[0017] About 10 - 40% of germanium presentation of the SiGe layer 10 to form is desirable. The distortion Si layer which has tension distortion sufficient at less than 10% is not formed, but since it will become easy to generate a misfit rearrangement in the SiGe layer 10 according to the difference in the lattice constant of the Si wafer W1 and the SiGe layer 10 if it exceeds 40%, it has an adverse effect on the crystallinity of the distortion Si layer formed eventually. Moreover, the thickness of the SiGe layer 10 has 10nm - desirable about 1 micrometer. The distortion Si layer which has tension distortion sufficient in less than 10nm is not formed, but if it exceeds 1 micrometer, the device property formed in a distortion Si layer of the increment in parasitic capacitance etc. will get worse. In addition, even if the SiGe layer 10 from which a lattice constant differs on the 1st Si wafer W1 according to the above-mentioned process is formed, a rearrangement does not occur in the 1st Si wafer W1 side according to the thickness effectiveness of the 1st Si wafer W1.

[0018] Next, an oxide film 12 is formed in the front face of the SiGe layer 10 [ [drawing 1 \(c\)](#)]. Formation of an oxide film may use the usual oxidizing [ thermally ] method, and may deposit it with a CVD method. if the oxidizing [ thermally ] method is used -- SiGe layer 10 front face -- chemical -- stable SiO two-layer -- 12 is formed, excessive germanium atom is soon taken out by the SiGe layer 10, and germanium concentration in the SiGe layer 10 becomes high. Therefore, even if it is the case where germanium presentation at the time of growing epitaxially in order to control generating of a misfit rearrangement is made comparatively low, the tension distortion of the distortion Si layer formed eventually can be raised by oxidizing thermally SiGe layer 10 front face. Moreover, in order to obtain sufficient tension distortion, thermal oxidation and oxide-film clearance may be repeated and may be performed.

[0019] Next, the front face of the oxide film 12 formed in SiGe layer 10 front face and the 2nd Si wafer W2 is stuck, and it heat-treats so that it may become the bond strength which can bear a thin film chemically-modified [ next ] degree [heat-of-linkage processing and [drawing 1 \(d\)](#)]. Especially if they are conditions which can bear a thin film chemically-modified [ next ] degree, they will not be limited, but when grinding and polish perform thin film-ization, as for heat treatment conditions, it is desirable to carry out at 800-1200 degrees C for about 0.5 to 5 hours.

[0020] Finally the 1st Si wafer W1 is thin-film-ized, and the distortion Si layer 14 is exposed [ [drawing 1 \(e\)](#)]. The thickness of the distortion Si layer 14 has desirable about 1-100nm. Processing is also difficult, when there will be a possibility that the hauling distortion by the SiGe layer 10 may stop being inherent and a good device property will not be acquired in less than 1nm, if it exceeds 100nm.

[0021] The technique to grind can be mentioned after carrying out comparatively for 2 minutes by the wet etching using the acid besides grinding and polish, and the alkali water solution as the thin film-ized technique of the Si layer 14, the gas phase etching using the plasma, wrapping, or the slice. The heat-of-linkage processing performed before thin-film-izing depending on such thin film-ized technique can be omitted, or it can also join together using adhesives etc.

[0022] (Gestalt of the 2nd operation) The manufacture flow of the semiconductor wafer which is the 2nd operation gestalt of this invention was shown in [drawing 2](#) . The manufacture flow shown in [drawing 2](#) is only what added the process (b) which grows a SiGe layer to the manufacture flow at the time of manufacturing a SOI wafer using two silicon wafers by the ion-implantation exfoliating method (called the hydrogen ion exfoliating method and the smart cutting method (trademark).) fundamentally. In addition, to the process which oxidizes the front face of the SiGe layer in [drawing 2](#) , since it is the same process as [drawing 1 \(a\)](#) - [drawing 1 \(c\)](#), [ [drawing 2 \(a\)](#) - [drawing 2 \(c\)](#)] omit explanation for the second time.

[0023] From the front-face side of the oxide film 12 formed in the front face of the SiGe layer 10, when a hydrogen ion or rare gas ion pours in on the other hand ( [drawing 2 \(d\)](#) hydrogen ion 16) at least through an oxide film 12 and the SiGe layer 10, the minute air-bubbles layer 18 is formed into the 1st Si wafer W1 [ [drawing 2 \(d\)](#)].

[0024] In order to decide the location (depth) in which the minute air-bubbles layer 18 is formed with the impregnation energy of a hydrogen ion 16 and to generate exfoliation by next exfoliation heat treatment bordering on the minute air-bubbles layer 18, the impregnation dosage (for example,  $5 \times 10^{16}$  /cm<sup>2</sup>) exceeding  $1 \times 10^{16}$  /cm<sup>2</sup> is needed. In order to make it Si layer front face of the outermost surface of the wafer of the multilayer structure formed by exfoliating certainly have grid distortion (hauling distortion), it is desirable to form said minute air-bubbles layer 18 in the field (field the front face of the 1st Si wafer W1 to 100nm or less) which has the grid distortion of the 1st Si wafer W1.

[0025] Next, exfoliation is produced in said minute air-bubbles layer 18 by sticking the front face of the oxide film 12 formed in SiGe layer 10 front face, and the 2nd Si wafer W2, and adding [ [drawing 2 \(e\)](#)] and heat treatment (exfoliation heat treatment) of 500 degrees C or more [ [drawing 2 \(f\)](#)]. Then, bond strength may be raised by performing heat-of-linkage processing further in an elevated temperature if needed. Moreover, although it is a kind of the ion-implantation exfoliating method, since the approach of exfoliating at a room temperature is also developed recently, without performing exfoliation heat treatment by exciting the hydrogen ion poured in and pouring in according to the plasma state, when using this approach, exfoliation heat treatment can be omitted.

[0026] Although the front face of the distortion Si layer 14 after exfoliation is a mirror plane, since it has some field granularity, flattening of very little polish of the polish cost called a touch polish is performed and carried out [ drawing 2 (g) ]. It is also possible to carry out flattening combining the technique of carrying out flattening by heat-treating in argon gas or a hydrogen gas ambient atmosphere instead of and these. [ a touch polish ]

[0027] As heat treatment conditions, when using the usual resistance heating type heat treating furnace, 1100-1300 degrees C and heat treatment of about 0.5 - 5 hours are suitable, and when using RTA (Rapid Thermal Annealing) equipment, 1100-1350 degrees C and heat treatment for about 1 - 120 seconds are suitable. Moreover, it can also heat-treat combining these.

[0028] In addition, although the case where an oxide film 12 was formed in the front face of the SiGe layer 10 of the 1st Si wafer W1 was illustrated with the gestalt of operation shown in drawing 1 and drawing 2 , an oxide film may be formed in the 2nd Si wafer W2, and an oxide film may be formed in both 1st and 2nd Si wafers. Moreover, as 2nd Si wafer W2, when resistivity uses the high resistivity wafer more than 1000-ohmcm, it excels in a RF property and can use as a semiconductor wafer for mobile communications. Furthermore as the 2nd wafer W2, insulating substrates, such as a quartz substrate, silicon on sapphire, SiC, and an aluminum nitride substrate, can also be used.

[0029]

[Example] Although an example is raised to below and this invention is explained to it still more concretely, the thing of these examples which should interpret restrictively and out of which it does not come is natural.

[0030] (Example 1: Correspond to the gestalt of the 1st operation) The semiconductor wafer which was shown in drawing 1 and which has sufficient grid distortion on the following conditions according to the procedure of the gestalt of the 1st operation was manufactured.

[0031] 1. Activity Wafer (Preparation of 1st and 2nd Wafers) [ Drawing 1 (a) ]

The diameter of 200mm, p mold, crystal orientation <100>, 10-ohmcm [0032] 2. Front Face of 1st Wafer -- SiGe Layer Growth (UHV-CVD System) [ Drawing 1 (B) ]

Material gas: GeH<sub>4</sub>, Si<sub>2</sub>H<sub>6</sub> growth temperature: 700 degree-C SiGe presentation: Si<sub>0.7</sub>germanium<sub>0.3</sub> growth thickness: 150nm [0033] 3. SiGe Scaling [ Drawing 1 (C) ]

Oxidization conditions: 800 degrees C, pie ROJIE nick oxidization oxide-film thickness: 100nm

[0034] 4. Joint Process [ Drawing 1 (D) ]

Both wafers are stuck at a room temperature and they are 1000 degrees C and heat treatment (oxidizing atmosphere) of 2 hours.

[0035] 5. Thin-Film-izing [ Drawing 1 (E) ]

Surface grinding: It is grinding until the 1st Si wafer thickness is set to about 20 micrometers.

Mirror polishing: Grind until the 1st Si wafer thickness is set to about 4 micrometers.

PACE (Plasma Assisted Chemical Etching) -- until the 1st Si wafer thickness is set to about 100nm by the gas phase etching by law -- thin-film-izing (PACE technique in which law was indicated by the No. [ 2565617 ] patent).

[0036] (Example 2: Correspond to the gestalt of the 2nd operation) The semiconductor wafer which was shown in drawing 2 and which has sufficient grid distortion on the following conditions according to the procedure of the gestalt of the 2nd operation was manufactured.

[0037] 1. Activity Wafer (Preparation of 1st and 2nd Wafers) [ Drawing 2 (a) ]

The diameter of 200mm, p mold, crystal orientation <100>, 10-ohmcm [0038] 2. Front Face of 1st Wafer -- SiGe Layer Growth (UHV-CVD System) [ Drawing 2 (B) ]

Material gas: GeH<sub>4</sub>, Si<sub>2</sub>H<sub>6</sub> growth temperature: 700 degree-C SiGe presentation: Si<sub>0.85</sub>germanium<sub>0.15</sub> growth thickness: 120nm [0039] 3. SiGe Scaling [ Drawing 2 (C) ]

Oxidization conditions: 800 degrees C, pie ROJIE nick oxidization oxide-film thickness: 100nm

[0040] 4. Hydrogen Ion Impregnation [ Drawing 2 (D) ]

H<sup>+</sup> ion-implantation conditions: 35keV, 8x10<sup>16</sup>/cm<sup>2</sup> [0041] 5. Exfoliation Process [ Drawing 2 (E) and (F) ]

Both wafers are stuck at a room temperature and it exfoliates by 500 degrees C and heat treatment for 30 minutes (nitrogen-gas-atmosphere mind). About 130nm in thickness of the outermost surface Si layer of the multilayer wafer after exfoliation

[0042] 6. 800 Degrees C of Heat-of-Linkage Processings, 2 Hours, Nitrogen-Gas-Atmosphere Mind

[0043] 7. Touch Polish [ Drawing 2 (G)]

30nm [0044] of polish cost abbreviation

[Effect of the Invention] As stated above, according to this invention, the effectiveness that the semiconductor wafer which has sufficient grid distortion to raise electronic mobility, and has Si layer with few crystal defects can be manufactured according to a simple manufacture process is attained in spite of a comparatively simple laminated structure.

---

[Translation done.]

**\* NOTICES \***

**JPO and NCIPi are not responsible for any damages caused by the use of this translation.**

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

[Brief Description of the Drawings]

[Drawing 1] It is the flow chart which shows the 1st operation gestalt of this invention approach.

[Drawing 2] It is the flow chart which shows the 2nd operation gestalt of this invention approach.

[Drawing 3] It is the flow chart which shows an example of the manufacture approach of the conventional semiconductor wafer.

[Drawing 4] It is the flow chart which shows other examples of the manufacture approach of the conventional semiconductor wafer.

[Description of Notations]

10: A SiGe layer, 12:oxide film, a 14:distortion Si layer, 16:hydrogen ion, 18 : a minute air-bubbles layer, W1, a W2:Si wafer.

---

[Translation done.]

## \* NOTICES \*

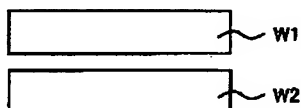
JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

## [Drawing 1]

(a) 第1及び第2  
Siウェーハ用意



(b) 第1 Siウェーハの  
表面にSiGe層成長



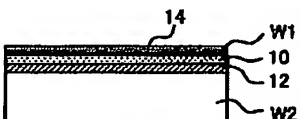
(c) SiGe層表面酸化



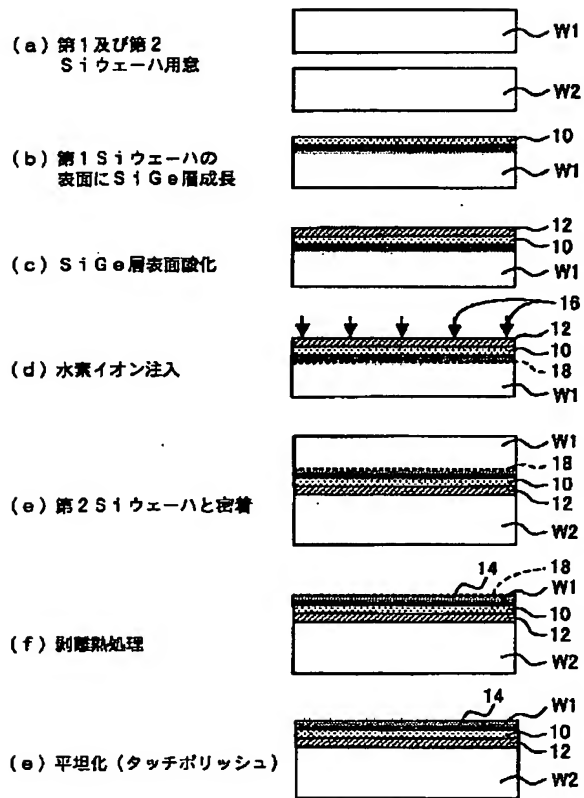
(d) 第2 Siウェーハと結合



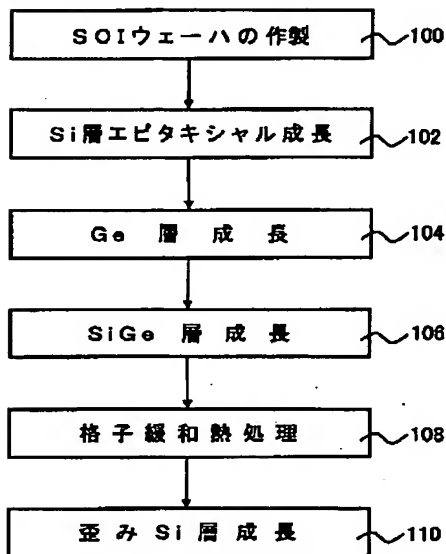
(e) 第1 Siウェーハの薄膜化



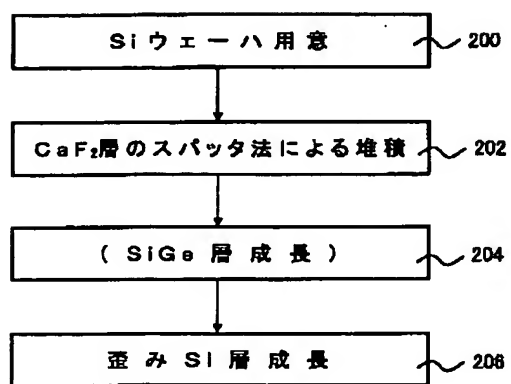
## [Drawing 2]



[Drawing 3]



[Drawing 4]



---

[Translation done.]